



ciência desenvolvimento sociedade

XXVI SALÃO DE INICIAÇÃO CIENTÍFICA

20 a 24 de outubro - Campus do Vale - UFRGS



Evento	Salão UFRGS 2014: SIC - XXVI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2014
Local	Porto Alegre
Título	Geração de redes lógicas "read-once" e "série-paralelo"
Autor	LUCAS CARRARO
Orientador	RENATO PEREZ RIBAS

Na síntese lógica presente no fluxo de projeto de circuitos integrados digitais, o processo conhecido como mapeamento tecnológico é fundamental. O objetivo desta etapa é a construção dos blocos lógicos produzidos a partir de bibliotecas de células, que serão usadas nos algoritmos de otimização do desempenho do circuito final. A qualidade destas células impacta diretamente na eficiência destes algoritmos.

A geração de redes lógicas eficientes é essencial na obtenção de bibliotecas de células otimizadas. Portanto, os principais aspectos que devemos observar neste contexto são o número de associações em série, paralelo e o total de transistores. Estas associações em séries e paralelo determinam o atraso médio desta célula, enquanto o número total de transistores tem impacto na área física ocupada pela rede.

A proposta aqui é encontrar uma forma de gerar expressões booleanas read-once (expressões onde não há repetição de variáveis) e série-paralelo (compostas por operadores AND e OR).

Para entender o procedimento, imagine uma matriz M de tamanho $n \times n$. Esta matriz é a estrutura base para o algoritmo e ' n ' é o número máximo de associações série e paralelo que a biblioteca vai admitir. Cada elemento da matriz é composto por uma lista de redes lógicas. Definindo (S,P) uma célula da matriz, onde S é a posição em linha e P é a posição em coluna, temos que: $(1,1)$ recebe uma única chave (transistor), e este será o elemento que chamaremos de 'raiz'.

A lógica deste método consiste de associações dos elementos previamente encontrados. Para produzir uma posição (S,P) de M são necessárias duas etapas. Primeiro, devem ser feitas associações em paralelo fixando o número de séries, depois são feitas associações em série fixando o número de paralelos. Imagine que vamos gerar (M,N) : primeiro observamos M e procuramos todos os elementos previamente gerados (O^1,P^1) onde $M = O^1$; deste conjunto encontrado, verificamos os pares (O^{11},P^{11}) e (O^{12},P^{12}) ; garantidamente teremos que $O^{11} = O^{12} = M$, mas só serão considerados os pares em que $P^{11} + P^{12} = N$; feitas estas verificações, (O^{11},P^{11}) e (O^{12},P^{12}) podem ser associados em paralelo e a rede obtida pode ser inserida na lista de (M,N) . A segunda etapa é feita de forma semelhante. Procuramos por todos (O^2,P^2) onde $N = P^2$; consideramos os pares (O^{21},P^{21}) e (O^{22},P^{22}) ; teremos que $P^{21} = P^{22} = N$, mas só serão considerados os pares em que $O^{21} + O^{22} = M$; associamos (O^{21},P^{21}) com (O^{22},P^{22}) em série e adicionamos o resultado à lista de (M,N) . É importante ressaltar que antes de inserir uma rede em uma lista é necessário verificar se ela já não existe, pois não queremos expressões repetidas na nossa biblioteca.

Para produzir a matriz completa, consistente e, por consequência, com todas as expressões RO, pares (S,P) existentes de no máximo ' n ' associações em série e ' n ' associações em paralelo, deve-se gerar elemento por elemento, conforme a ordem a seguir: $(1,1), (1,2), (1,3), \dots, (1,n), (2,1), (3,1), \dots, (n,1), (2,2), (2,3), \dots, (2,n), (3,2), (4,2), \dots, (n,2), \dots, (n,n)$.

Através desta metodologia foi possível produzir a biblioteca em diferentes configurações definidas pelo usuário. Desse modo, este recurso provavelmente será integrado à ferramenta SwitchCraft [1] para síntese e análise de redes lógicas como uma extensão.

[1] V. Callegaro, F. S. Marques, C. E. Klock, L. S. da Rosa Jr., R. P. Ribas, e A. I. Reis, "SwitchCraft: a framework for transistor network design," Proc. Symp. Integrated Circuits and Systems Design, 2010.