

Atualmente, vê-se uma tendência cada vez maior na utilização de processadores do tipo Risc, os quais começam a estar presentes em quase todas as aplicações eletrônicas mais importantes. Um típico exemplo de processador baseado neste tipo de arquitetura é a família Risco, centrada num processador do Risc de 32 bits. Os microprocessadores devem ser projetados de maneira a executar da melhor maneira possível os mais variados tipos de rotinas. Baseado nisto, portanto, desenvolveu-se uma série de modificações na arquitetura básica do processador Risco. Logo, a partir do momento que desenvolve-se o projeto tem-se uma necessidade imediata de predizer a resposta do processador para certas rotinas críticas, o que só pode ser feito através da sua simulação em um computador hospedeiro. Esta etapa de simulação consiste num importante passo para o desenvolvimento do projeto. Este trabalho se preocupa com a simulação de três das diversas variações da família Risco: o Risco normal, o Risco-Wcs e o Wcs-Pipe. O Risco-Wcs têm como principal vantagem a execução de rotinas dominadas por instruções de "jump", as quais se caracterizam pela apresentação de muitos blocos básicos, com poucas operações em cada um. Já o Wcs-Pipe foi desenhado de maneira a otimizar a execução de rotinas que apresentem um acesso intensivo à memória. O simulador do Risco-Wcs foi desenvolvido a partir do simulador do modelo mais básico do Risco, e apenas foi testado com rotinas que não podem ser consideradas críticas. Com relação ao simulador do processador Wcspipe, este ainda está em desenvolvimento. Ambos os simuladores foram desenvolvidos em linguagem "C" através de computadores PC. Atualmente devido à algumas limitações do compilador "C" para "DOS", estes programas estão sendo adaptados para serem compilados e executados em ambiente "UNIX" através de computadores "SUN". (CNPq).